

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2004-273938

(43)Date of publication of application : 30.09.2004

(51)Int.Cl.

H01L 25/10

H01L 25/11

H01L 25/18

(21)Application number : 2003-065392

(71)Applicant : FUJITSU LTD

(22)Date of filing : 11.03.2003

(72)Inventor : NISHIMURA TAKAO

AIBA KAZUYUKI

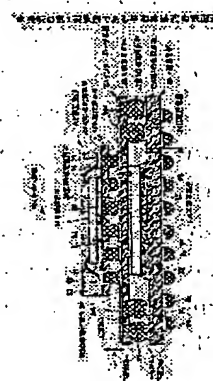
TAKASHIMA AKIRA

## (54) STACKED SEMICONDUCTOR DEVICE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To stack a general-purpose semiconductor device part (semiconductor device) regarding a stacked semiconductor device having a three-dimensional structure wherein a plurality of semiconductor device parts and semiconductor elements are stacked.

**SOLUTION:** An interposer substrate 13A is disposed between an upper device part 11A and a lower device part 12A. The upper device part 11A has a semiconductor element 14A, a first wiring substrate 16A and an external connection terminal 22. The lower device part 12A has a second wiring substrate 17A located in a lower part of the upper device part 11A, a semiconductor element 15A and a connection electrode 26 formed in an upper surface 24A of the second wiring substrate 17A. The interposer substrate 13A has a circuit substrate body 18A disposed between the first wiring substrate 16A and the second wiring substrate 17A, a first conductive member 32 connected to the connection electrode 26, a second conductive member 33 which is formed corresponding to a formation position of the external connection terminal 22 and electrically connected to the external connection terminal 22 and a third conductive member 34A connecting the first conductive member 32 and the second conductive member 33.



## LEGAL STATUS

[Date of request for examination]

24.12.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

**\* NOTICES \***

JPO and NCIP1 are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

**CLAIMS**

---

[Claim(s)]

[Claim 1]

the 1st wiring substrate — this — the 1st semiconductor device section which has at least one semiconductor device carried in the 1st wiring substrate, and terminal for external connection, the 2nd wiring substrate arranged so that it might be located in the lower part of said 1st semiconductor device section — this — the 2nd semiconductor device section which has at least one semiconductor device carried in the 2nd wiring substrate, and said 1st semiconductor device section of said 2nd patchboard and the electrode for connection formed in the field which counters, The circuit board body arranged between said 1st semiconductor device section and said 2nd semiconductor device section, The 1st conductive member which connects with said electrode for connection electrically, and the 2nd conductive member which is formed corresponding to the formation location of said external connection terminal, and connects with this external connection terminal electrically, The 3rd wiring substrate which has the 3rd conductive member which connects said 1st conductive member and said 2nd conductive member,

The laminating mold semiconductor device characterized by providing.

[Claim 2]

In a laminating mold semiconductor device according to claim 1,

The laminating mold semiconductor device characterized by constituting said 1st conductive member by the solder bump connected with said 3rd conductive member while penetrating said circuit board body and being formed.

[Claim 3]

In a laminating mold semiconductor device according to claim 1,

While a solder bump constitutes said 1st conductive member,

Said 2nd conductive member and said 3rd conductive member are formed in said 2nd semiconductor device section of said 3rd wiring substrate, and the field which counters,

And the laminating mold semiconductor device characterized by connecting said external connection terminal with said 2nd conductive member electrically through the through tube formed in said 3rd wiring substrate.

[Claim 4]

In a laminating mold semiconductor device according to claim 1,

While forming said 2nd conductive member and said 3rd conductive member in both sides of said 1st semiconductor device section of said 3rd wiring substrate, the field which counters, and a said 2nd semiconductor device section and the field which counters at each,

The laminating mold semiconductor device characterized by considering the 3rd conductive member formed in these both sides as the configuration which connected said circuit board body electrically with the penetration electrode formed by penetrating.

[Claim 5]

In a laminating mold semiconductor device according to claim 1 to 4,

The laminating mold semiconductor device characterized by considering as the structure which carried

out two or more laminatings of said 1st semiconductor device section.  
[Claim 6]  
In a laminating mold semiconductor device according to claim 1 to 5,  
The laminating mold semiconductor device characterized by considering as the structure which carried out two or more laminatings of said 2nd semiconductor device section.

[Claim 7]

In a laminating mold semiconductor device according to claim 1 to 6,  
The laminating mold semiconductor device characterized by using said 3rd wiring substrate as a multilayer-interconnection substrate.

[Claim 8]

In a laminating mold semiconductor device according to claim 1 to 7,  
The laminating mold semiconductor device characterized by preparing a passive element in said 3rd wiring substrate.

[Claim 9]

In a laminating mold semiconductor device according to claim 8,  
While using said 3rd wiring substrate as a multilayer-interconnection substrate,  
The laminating mold semiconductor device characterized by forming said passive element in the interior of said multilayer-interconnection substrate.

---

[Translation done.]

#### **\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

#### **DETAILED DESCRIPTION**

---

##### **[Detailed Description of the Invention]**

[0001]

##### **[Field of the Invention]**

This invention relates to the laminating mold semiconductor device which has the three-dimensional structure which started the laminating mold semiconductor device, especially carried out the laminating of two or more semiconductor device sections and semiconductor devices.

[0002]

A miniaturization, thin-shape-izing, multi-functionalization, advanced features, and densification are increasingly demanded of the semiconductor device used for electronic equipment with development of electronic equipment in recent years. The structure of a semiconductor device package is shifting to the three-dimensional structure which carried out the laminating of two or more semiconductor device section or two or more semiconductor devices that such a demand should be coped with.

[0003]

##### **[Description of the Prior Art]**

Conventionally, there are some which were indicated by the patent reference 1 or the patent reference 2 as a semiconductor device with the three-dimensional structure which carried out the laminating of

two or more semiconductor device sections (the thing of a configuration of having carried out packaging of a semiconductor device simple substance or the semiconductor device is said). The QFP (quad flat package) mold package which used the leadframe for the patent reference 1 as an external terminal is indicated. This semiconductor device prepares a terminal in the package upper part by making the inner lead section of a leadframe transform and forming heights, and is considered as the configuration which connects the laminating wiring substrate which has a terminal in the upper part of that package in a vertical side by the solder bump.

[0004]

Moreover, the semiconductor device of the structure which carried out the laminating of the semiconductor device section which carried out mold closure of the semiconductor device to multistage is indicated by the patent reference 2. This semiconductor device forms penetration wiring in the mold closure section of the semiconductor device section by which the mold closure was carried out, prepares a terminal in the upper part of a package, and is considered as the configuration which connects the rewiring substrate which has a terminal in the upper part of that package in a vertical side with a solder ball.

[0005]

[Patent reference 1]

JP,06-252334,A (the three - 7th page, Fig. 1)

[0006]

[Patent reference 2]

JP,2002-158312,A (the three - 7th page, Fig. 1)

[0007]

[Problem(s) to be Solved by the Invention]

However, for the semiconductor device section in which the semiconductor device indicated by the patent reference 1 is arranged by the lower part, the trouble that there will be many production processes, therefore a manufacturing cost will become high since more than one do not carry out a multistage laminating and it is necessary to transform a leadframe and to form a terminal in the package upper part is \*\*\*\*\*.

[0008]

Moreover, since thin-shape-izing is difficult for the semiconductor device indicated by the patent reference 2 since the mold of each semiconductor device section is carried out, and there are many production processes required in order to form penetration wiring, it has the trouble that a manufacturing cost becomes high.

[0009]

Moreover, in the semiconductor device which carried out the laminating of two or more semiconductor device sections which were indicated by the patent reference 1 and 2, and was made into the three-dimensional structure, beforehand, it is necessary to set up the array of the external connection terminal of each semiconductor device section so that a laminating may be possible. In this case, the direction which received the general-purpose semiconductor device guaranteed to be an excellent article, made this the semiconductor device section and carried out the laminating may become cheap at total cost because the facility and labor costs in a trial process are reducible, rather than carry out the laminating of each semiconductor device section after carrying out a design, manufacture, and a trial newly, and unifying. However, there was a trouble in which a laminating is possible of not being set up like, about a semiconductor device with the general-purpose array of the external connection terminal of each semiconductor device section.

[0010]

This invention is made in view of the above-mentioned point, and it aims at offering the laminating mold semiconductor device which made possible the laminating of the general-purpose semiconductor device section (semiconductor device).

[0011]

[Means for Solving the Problem]

In order to solve the above-mentioned technical problem, in this invention, it is characterized by providing each means expressed below.

[0012]

The laminating mold semiconductor device concerning invention according to claim 1, the 1st wiring substrate — this — the 1st semiconductor device section which has at least one semiconductor device carried in the 1st wiring substrate, and terminal for external connection, the 2nd wiring substrate arranged so that it might be located in the lower part of said 1st semiconductor device section — this — the 2nd semiconductor device section which has at least one semiconductor device carried in the 2nd wiring substrate, and said 1st semiconductor device section of said 2nd wiring substrate and the electrode for connection formed in the field which counters, The circuit board body arranged between said 1st semiconductor device section and said 2nd semiconductor device section, The 1st conductive member which connects with said electrode for connection electrically, and the 2nd conductive member which is formed corresponding to the formation location of said external connection terminal, and connects with this external connection terminal electrically, It is characterized by providing the 3rd wiring substrate which has the 3rd conductive member which connects said 1st conductive member and said 2nd conductive member.

[0013]

According to the above-mentioned invention, the 2nd conductive member which connects with an external connection terminal electrically is formed corresponding to the formation location of an external connection terminal, and there is nothing that otherwise regulates the formation location of the 2nd conductive member. For this reason, the array of an external connection terminal becomes possible [ using the general-purpose semiconductor device section defined beforehand ]. Moreover, since the degree of freedom of the layout of the 2nd conductive member on the 3rd wiring substrate and the 3rd conductive member improves, a laminating mold semiconductor device can be realized easily and, thereby, can respond to advanced features of a semiconductor device, and multi-functionalization.

[0014]

Moreover, in the semiconductor device which generally has two or more semiconductor device sections (semiconductor device), if it examines after the assembly of a semiconductor device, it will become the yield by which the yield of each semiconductor device was accumulated. However, since the semiconductor device concerning invention of this claim carries a general-purpose semiconductor device and the semiconductor device with which the QA which will be an excellent article beforehand if it puts in another way was carried out as the semiconductor device section, it can raise the manufacture yield of the whole semiconductor device.

[0015]

Moreover, invention according to claim 2, In a laminating mold semiconductor device according to claim 1, It is characterized by constituting said 1st conductive member by the solder bump connected with said 3rd conductive member while penetrating said circuit board body and being formed.

[0016]

According to the above-mentioned invention, a laminated structure is realizable for simple and low cost by having constituted the 1st conductive member by the solder bump.

[0017]

Moreover, invention according to claim 3, In a laminating mold semiconductor device according to claim 1, While a solder bump constitutes said 1st conductive member, Said 2nd conductive member and said 3rd conductive member are formed in said 2nd semiconductor device section of said 3rd wiring substrate, and the field which counters,

And it is characterized by connecting said external connection terminal with said 2nd conductive member electrically through the through tube formed in said 3rd wiring substrate.

[0018]

According to the above-mentioned invention, in case an external connection terminal is connected to the 2nd conductive member, an external connection terminal is electrically connected with the 2nd conductive member through the through tube formed in the 3rd wiring substrate. For this reason, only the height corresponding to the amount which enters in a through tube can approach the 1st semiconductor device section and the 3rd wiring substrate, and, therefore, an external connection terminal can attain thin shape-ization of a laminating mold semiconductor device.

[0019]

Moreover, invention according to claim 4,

In a laminating mold semiconductor device according to claim 1,

While forming said 2nd conductive member and said 3rd conductive member in both sides of said 1st semiconductor device section of said 3rd wiring substrate, the field which counters, and a said 2nd semiconductor device section and the field which counters at each,

It is characterized by considering the 3rd conductive member formed in these both sides as the configuration which connected said circuit board body electrically with the penetration electrode formed by penetrating.

[0020]

By forming the 3rd conductive member in both sides of the 3rd wiring substrate at each, compared with the configuration which forms the 3rd conductive member only in one side, the 3rd conductive member can be formed by the more complicated pattern, and, according to the above-mentioned invention, therefore, the degree of freedom of a design of a semiconductor device improves.

[0021]

Moreover, the rigidity of the 3rd wiring substrate can reduce the curvature of a substrate and generating of deformation by increase and the temperature change by forming the 2nd conductive member and the 3rd conductive member in both sides of the 3rd wiring substrate. Thereby, the dependability of a semiconductor device can be raised.

[0022]

Moreover, invention according to claim 5,

In a laminating mold semiconductor device according to claim 1 to 4,

It is characterized by considering as the structure which carried out two or more laminatings of said 1st semiconductor device section.

[0023]

Since it becomes the structure where two or more laminatings of the 1st semiconductor device section were carried out according to the above-mentioned invention, it becomes advantageous by advanced features of a semiconductor device, and multi-functionalization.

[0024]

Moreover, invention according to claim 6,

In a laminating mold semiconductor device according to claim 1 to 5,

It is characterized by considering as the structure which carried out two or more laminatings of said 2nd semiconductor device section.

[0025]

Since it becomes the structure where two or more laminatings of the 2nd semiconductor device section were carried out according to the above-mentioned invention, it becomes advantageous by advanced features of a semiconductor device, and multi-functionalization.

[0026]

Moreover, invention according to claim 7,

In a laminating mold semiconductor device according to claim 1 to 6,

It is characterized by using said 3rd wiring substrate as a multilayer-interconnection substrate.

[0027]

According to the above-mentioned invention, a higher-density wiring substrate can be formed by using the 3rd wiring substrate as a multilayer-interconnection substrate. Moreover, since rigidity of a multilayer-interconnection substrate increases compared with an one side wiring substrate or a double-sided wiring substrate, it can reduce curvature and deformation of the substrate by the temperature change of the 3rd wiring substrate, and can raise the manufacture yield like an erector.

[0028]

Moreover, invention according to claim 8,

In a laminating mold semiconductor device according to claim 1 to 7,

It is characterized by preparing a passive element in said 3rd wiring substrate.

[0029]

According to the above-mentioned invention, since the passive element is prepared in the 3rd wiring substrate, the semiconductor device suitable for the high frequency device with which a predetermined electrical property is demanded can be constituted.

[0030]

Moreover, invention according to claim 9,

In a laminating mold semiconductor device according to claim 8,

While using said 3rd wiring substrate as a multilayer-interconnection substrate,

It is characterized by forming said passive element in the interior of said multilayer-interconnection substrate.

[0031]

According to the above-mentioned invention, a passive element will be in the condition of having been included in the 3rd wiring substrate in one, by having formed the passive element in the interior of a multilayer-interconnection substrate. For this reason, while it becomes unnecessary to prepare and carry a passive element separately from the 3rd wiring substrate and being able to reduce loading components mark, reduction-ization of a manufacturing cost can be attained.

[0032]

[Embodiment of the Invention]

Next, the gestalt of operation of this invention is explained with a drawing.

[0033]

Drawing 1 shows laminating mold semiconductor device 10A (only henceforth a semiconductor device) which is the 1st example of this invention. If the profile of the semiconductor device 10A is carried out, it is constituted by up semiconductor device section 11A (henceforth the up equipment section), lower semiconductor device section 12A (henceforth the lower equipment section), interpauser board 13A (it is equivalent to the 3rd wiring substrate given in a claim), etc.

[0034]

Up equipment section 11A is a general-purpose semiconductor device generally marketed. Therefore, what was beforehand guaranteed to be an excellent article by the manufacture manufacturer is used for up equipment section 11A.

[0035]

Besides, section equipment section 11A is a BGA (Ball Grid Array) type semiconductor device, and while semiconductor device 14A is carried in the top face of 1st wiring substrate 16A, the external connection terminal 22 is arranged in the inferior surface of tongue of 1st wiring substrate 16A. This external connection terminal 22 is formed with the solder ball.

[0036]

At this example, semiconductor device 14A is being fixed by face up on 1st wiring substrate 16A.

Moreover, the electrode pad 20 is formed in 1st wiring substrate 16A, and semiconductor device 14A and the electrode pad 20 are connected by the wire 21.

[0037]

Moreover, the above mentioned external connection terminal 22 is connected to the electrode pad 20 through the through tube formed in 1st wiring substrate 16A. Therefore, semiconductor device 14A is electrically connected to the external connection terminal 22 through the wire 21 and the electrode pad 20. Moreover, closure resin 23 is formed in the whole upper part of 1st wiring substrate 16A, and semiconductor device 14A and wire 21 grade are protected.

[0038]

If the profile of the lower equipment section 12A is carried out, it is constituted by semiconductor device 15A, 2nd wiring substrate 17A, and external connection terminal 29 grade.

Semiconductor device 15A is carried in 2nd wiring substrate 17A by flip chip junction. That is, the bump 25 is beforehand formed in the polar zone (not shown) in the circuit side of semiconductor device 15A, and semiconductor device 15A is electrically connected to 2nd wiring substrate 17A by joining this bump 25 to the electrode 27 for bump junction formed in top-face 24 of 2nd wiring substrate 17A. Moreover, in order to raise the reinforcement for a joint of a bump 25 and the electrode 27 for bump junction, under-filling resin 30 is arranged between semiconductor device 15A and 2nd wiring substrate 17A.

[0039]

2nd wiring substrate 17A is arranged so that it may be located in the lower part of up equipment section 11A. That is, lower equipment section 12A is considered as the configuration arranged by the lower part of up equipment section 11A.

[0040]

As for this 2nd wiring substrate 17A, two or more lower electrodes 28 are formed in that inferior-surface-of-tongue 24B, and the external connection terminal 29 is joined to this lower electrode 28. In case this external connection terminal 29 mounts semiconductor device 10A in a mounting substrate, it is joined to a mounting substrate. Moreover, the lower electrode 28 to which the external connection terminal 29 is joined. Inner layer wiring (not shown) installed inside 2nd wiring substrate 17A connects with the electrode 27 for bump junction, or the electrode 26 for connection.

[0041]

The electrode 26 for connection is an electrode to which the 1st conductive member 32 of interpauser board 13A is joined, as mentioned later, and it is formed in top-face 24 of 2nd wiring substrate 17A. Moreover, the arrangement location avoids the helicopter loading site of semiconductor device 15A, and is formed.

[0042]

If the profile of the interpauser board 13A is carried out, it is constituted by circuit board body 18A, the 1st conductive member 32, the 2nd conductive member 33, conductivity member of \*\* 3rd 34A, etc. Circuit board body 18A is arranged between above mentioned up equipment section 11A and lower equipment section 12A. Therefore, interpauser board 13A is considered as the configuration arranged between up equipment section 11A and lower equipment section 12A. This circuit board body 18A is glass-epoxy or an one side wiring substrate made from glass-BT (bismaleimide triazine), and is considered as the configuration in which the polar zone by the 2nd conductive member 33 and the wiring section by 3rd conductive member 34A were formed in top-face 31A by this example.

[0043]

The 1st conductive member 32 is a solder bump, and is connected to 3rd conductive member 34A through the through tube formed in interpauser board 13A. This 1st conductive member 32 does so the function to connect electrically lower equipment section 12A and interpauser board 13A. Thus, by using the 1st conductive member 32 which is connecting electrically lower equipment section 12A and interpauser board 13A from a solder bump, the 1st conductive member 32 can be formed in simple and low cost, and laminating processing of lower equipment section 12A and interpauser board 13A can be realized easily.

[0044]



Moreover; the 2nd conductive member 33 and conductive member 34 of \*\* 3rd A are formed in top-face 31 of circuit board body 18A A. Each of these conductive members 33 and 34A are considered as the configuration which carried out the printed circuit of the copper. Moreover, each of these conductive members 33 and 34A are protected by protective coat 35A formed in top-face 31 of circuit board body 18A A. Opening 44 is formed in the location corresponding to the external connection terminal 22 of up equipment section 11A in this protective coat 35A.

[0045]

The external connection terminal 22 of up equipment section 11A which mentioned the 2nd conductive member 33 above is joined. Moreover, 3rd conductive member 34A functions as wiring which connects electrically the 1st conductive member 32 and the 2nd conductive member 33.

[0046]

Therefore, the external connection terminal 22 of up equipment section 11A and the electrode 26 for connection of lower equipment section 12A serve as a configuration electrically connected through the 1st conductive member 32, the 2nd conductive member 33, and conductive member 34 of \*\* 3rd A. Up equipment section 11A and lower equipment section 12A constitute by this semiconductor device 10A by which the laminating was carried out through interpauser board 13A in the middle, and interpauser board 13A functions as INTAPOZA which connects electrically up equipment section 11A and lower equipment section 12A.

[0047]

There is that [ no ] to which the 2nd conductive member 33 is formed in corresponding to the formation location of the external connection terminal 22 of up equipment section 11A, and semiconductor device 10A considered as the above-mentioned configuration otherwise regulates the formation location of the 2nd conductive member 33. For this reason, in top-face 31 of circuit board body 18A A, it becomes possible to form the 2nd conductive member 33 according to the array of the external connection terminal 22. For this reason, the array of the external connection terminal 22 becomes possible [ using the general-purpose semiconductor device defined beforehand as up equipment section 11A ].

[0048]

If it examines after the assembly of a semiconductor device in the semiconductor device which generally has two or more semiconductor device sections (semiconductor device) as described above, it will become the yield by which the yield of each semiconductor device was accumulated. However, since semiconductor device 10A of this example carries a general-purpose semiconductor device and the semiconductor device with which the QA which will be an excellent article beforehand if it puts in another way was carried out as semiconductor device section 11A, it can raise the manufacture yield as the whole semiconductor device 10A.

[0049]

Moreover, although the degree of freedom of a design can be raised in semiconductor device 10A concerning this example by the ability forming the 2nd conductive member 33 according to semiconductor device section 11A as mentioned above, the degree of freedom of a design can also be raised also about 3rd conductive member 34A which doubles and is formed in top-face 31 of circuit board body 18A A. It can become possible to simplify the wiring structure which becomes complicated by being a laminating mold by this, the design of semiconductor device 10A can be realized easily, and, thereby, it can respond to advanced features of semiconductor device 10A, and multi-functionalization.

[0050]

In addition, although not illustrated, it is also possible to consider as structure which a binder is made to be placed between the gap sections which are parts other than the electrical installation section between [ 16A 17A, and 13A ] each substrate, and counter, and carries out adhesion immobilization (in this example, the gap of the non-circuit side (top face) of semiconductor device 15A and circuit board body 18A etc. corresponds to this). Moreover, also in each example explained below, it is the same.

[0051]

Next, the 2nd example of this invention is explained.

Drawing 2 shows semiconductor device 10B which is the 2nd example of this invention. in addition, explanation of the 2nd example and explanation of each subsequent example — it shall be, the same sign shall be attached about the configuration shown in drawing 1 , and a corresponding configuration in drawing 3 thru/or drawing 7 to be used, and the explanation shall be omitted

[0052]

It considers as the configuration as semiconductor device 10A concerning the 1st above mentioned example with up equipment section 11A and lower equipment section 12A same [ semiconductor device 10B concerning this example ]. However, interpauser board 13A concerning the 1st example is characterized by forming the 2nd conductive member 33 and conductive member 34 of \*\* 3rd B in inferior-surface-of-tongue 31 of circuit board body 18B B by this example to the 2nd conductive member 33 and conductive member 34 of \*\* 3rd A having been formed in top-face 31 of circuit board body 18A A.

[0053]

Inferior-surface-of-tongue 31 of circuit board body 18B B is lower equipment section 12A and the field of the side which counters. Therefore, semiconductor device 10B concerning this example is considering the 2nd conductive member 33 and the 3rd conductive member 34 as the configuration which formed in lower equipment section 12A of circuit board body 18B, and the field which counters.

[0054]

Moreover, the 2nd conductive member 33 and conductive member 34 of \*\* 3rd B which were formed in inferior-surface-of-tongue 31 of circuit board body 18B B are protected by protective coat 35B formed in inferior-surface-of-tongue 31 of circuit board body 18B B. Moreover, opening 44B is formed in protective coat 35B in the location corresponding to the electrode 26 for connection of lower equipment section 12A. In this opening 44B, the 1st conductive member 32 and 3rd conductive member 34B are connected.

[0055]

Moreover, it is necessary to connect the external connection terminal 22 of up equipment section 11A to the 2nd conductive member 33 of interpauser board 13B. For this reason, the through tube 36 is formed in the formation location of the external connection terminal 22 of up equipment section 11A of circuit board body 18B, and the corresponding location, and the external connection terminal 22 is considered as the configuration electrically connected to the 2nd conductive member 33 through this through tube 36.

[0056]

Since the external connection terminal 22 is a solder ball as described above, it fuses the external connection terminal 22 by heat-treatment carried out in case up equipment section 11A is carried in interpauser board 13B, and, specifically, advances into a through tube 36. Therefore, the external connection terminal 22 is electrically connected to the 2nd conductive member 33 through a through tube 36.

[0057]

Thus, semiconductor device 10B concerning this example will be in the condition of having entered in the through tube 36 by which some external connection terminals 22 were formed in circuit board body 18B. For this reason, the external connection terminal 22 becomes possible [ approaching up equipment section 11A and interpauser board 13B by the height corresponding to the amount which enters in a through tube 36 ].

[0058]

specifically, semiconductor device 10A concerning the 1st example shows to drawing 1 — as — the clearance H1 of up equipment section 11A and interpauser board 13A — according to semiconductor device 10B which starts this example in the required thing — drawing 2 — arrow-head \*\*\*\* — the external connection terminal 22 can make small clearance H2 of up equipment section 11A and

interpauser board 13B by entering into a through-tube 36 like (H2<H1). Thereby, compared with semiconductor device 10A of the 1st example, semiconductor device 10A concerning this example can attain thin shape-ization: [0059]

Next, the 3rd example of this invention is explained: Drawing 3 shows semiconductor device 10C which is the 3rd example of this invention. It considers as the configuration as semiconductor device 10A concerning the 1st above mentioned example also with semiconductor device 10C same [ up equipment section 11A and lower equipment section 12A ] concerning this example. However, the interpauser boards 13A and 13B concerning the 1st and 2nd examples formed the 3rd conductive member 34A and 34B only in any of top-face 31A or inferior-surface-of-tongue 31B of circuit board body 18A; or one side. [0060]

On the other hand, in this example, it is characterized by forming the 3rd conductive member 34A and 34B in the both sides of top-face 31A of interpauser board 13C, and inferior-surface-of-tongue 31B. It is considering as the configuration which formed in top-face 31A of circuit board body 18C the 2nd conductive member 33 and 3rd conductive member 34A which are joined to the external connection terminal 22, and specifically formed 3rd conductive member 34B in it at inferior-surface-of-tongue 31B of circuit board body 18C; in addition, every — on 3rd conductive member 34A and 34B, protective coats 35A and 35B form — having — \*\*\*\* — every — the 3rd conductive member 34A and 34B is protected. [0061]

Moreover, opening 44A is formed in protective coat 35A in the location corresponding to the terminal 22 for external connection of up equipment section 11A. Moreover, opening 44B is formed in protective coat 35B in the location corresponding to the electrode 26 for connection of lower equipment section 12A. [0062]

Moreover, 3rd conductive member 34B formed in the 3rd conductive member 34A and inferior-surface-of-tongue 31B formed in top-face 31A of circuit board body 18C is considered as the configuration electrically connected by the penetration electrode 37 formed by penetrating circuit board body 18C. After this penetration electrode 37 forms a through tube in circuit board body 18C, it is made into the beer structure formed by filling up this through tube with copper. [0063]

Since it is the configuration in which interpauser board 13C formed the 3rd conductive member 34A and 34B in both sides of circuit board body 18C at each according to semiconductor device 10C concerning above-mentioned this example, compared with the configuration which forms the 3rd conductive member only in one side, the 3rd conductive member 34A and 34B can be formed by the more complicated pattern, and, therefore, the degree of freedom of a design of semiconductor device 10C can be raised. Moreover, when this 3rd conductive member 34A and 34B functions as reinforcing materials, the rigidity of interpauser board 13C can reduce the curvature of a substrate and generating of deformation by increase and the temperature change. Thereby, while being able to raise a manufacture yield at the time of manufacture, after completion can raise the dependability of semiconductor device 10C. [0064]

Next, the 4th example of this invention is explained. Drawing 4 shows semiconductor device 10D which is the 4th example of this invention. Semiconductor device 10D concerning this example is characterized by carrying out laminating arrangement of two or more up equipment sections 11B and 11C on interpauser board 13D. [0065]

Up equipment section 11B located in the topmost part has the structure which carried out the

laminating of semiconductor device 14B and semiconductor device 14C on 1st wiring substrate 16B. Flip chip junction of semiconductor device 14C is carried out at 1st wiring substrate 16B, and adhesion immobilization of the semiconductor device 14B is carried out by adhesives 45 by face up on this semiconductor device 14C. Moreover, semiconductor device 14B and 1st wiring substrate 16B are considered as the configuration by which wire connection was made. Furthermore, connection electrode 44A is formed in the inferior surface of tongue (up equipment section 11C and field which counters) of 1st wiring substrate 16B.

[0066]

Up equipment section 11C is arranged by the above-mentioned lower part of up equipment section 11B. Besides, section equipment section 11C is considered as the configuration which carried out flip chip junction of the semiconductor device 14D at 1st wiring substrate 16C. Moreover, the external connection terminal 22 is formed in interpauser board 13D of 1st wiring substrate 16C, and the location which counters. Furthermore, connection electrode 44B is formed in the top face (up equipment section 11B and field which counters) of 1st wiring substrate 16C.

[0067]

Up equipment section 11B and up equipment section 11C considered as the above-mentioned configuration are considered as the configuration connected electrically by connecting connection electrode 44A currently formed in 1st wiring substrate 16B of up equipment section 11B, and connection electrode 44B currently formed in 1st wiring substrate 16C of up equipment section 11C by bump 38A for laminatings.

[0068]

On the other hand, lower equipment section 12B is taken as the configuration which carried two semiconductor devices 15B and 15C by this example. The bump 25 is formed and flip chip junction of each semiconductor devices 15B and 15C is carried out at the electrode 27 for bump junction formed in 2nd wiring substrate 17B.

[0069]

The 2nd conductive member 33 and conductive member 34 of 3rd A are formed in top-face 31A, and interpauser board 13D forms 3rd conductive member 34B by which the 1st conductive member 32 is joined to inferior-surface-of-tongue 31B. This 3rd conductive member 34A and 3rd conductive member 34B are considered as the configuration electrically connected by the beer formed in circuit board body 18D.

[0070]

Semiconductor device 10D which starts this example as described above is taken as the configuration which carried out the laminating of the two up equipment sections 11B and 11C on interpauser board 13D. By considering as this configuration, the further advanced features of semiconductor device 10D and multi-functionalization can be attained.

[0071]

Moreover, it is not limited to two-layer like this example, and the number of laminatings of the up equipment section can also carry out a three or more layer laminating. The electrical installation between each up equipment section in that case and the electrical installation of the up equipment section and interpauser board 13D can select suitably flip chip bonding, TAB connection, wire connection, etc., and they can be used for them. Moreover, in each up equipment section, the semiconductor device carried in the 1st wiring substrate can also be carried in any of the top face of the 1st wiring substrate, an inferior surface of tongue, or both sides.

[0072]

Next, the 5th example of this invention is explained.

Drawing 5 shows semiconductor device 10E which is the 5th example of this invention. Semiconductor device 10E concerning this example is characterized by carrying out laminating arrangement of two or more lower equipment sections 12A and 12C at the lower part of interpauser board 13D.

[0073]

Lower equipment section 12A located in the bottom is considered as the same configuration as what is prepared in semiconductor device 10A concerning the 1st example shown in drawing 1. The laminating of lower equipment section 12C is carried out to the upper part of this lower equipment section 12A.

[0074]

Lower equipment section 12C is considered as the configuration by which flip chip junction of the semiconductor device 15E was carried out also on the inferior surface of tongue while flip chip junction of the semiconductor device 15D is carried out on the top face of 2nd wiring substrate 17C. This is aiming at improvement in the packaging density of semiconductor devices 15D and 15E. Moreover, connection electrode 45A is formed in the top face of 2nd wiring substrate 17C, and connection electrode 45B is formed in the inferior surface of tongue.

[0075]

Lower equipment section 12A and lower equipment section 12C are considered as the configuration connected electrically by connecting connection electrode 45B formed in 2nd wiring substrate 17C with the electrode 26 for connection formed in 2nd wiring substrate 17A by bump 38B for laminatings. Moreover, interpauser board 13D and lower equipment section 12C are considered as the configuration connected electrically by connecting 3rd conductive member 34B currently formed in inferior surface of tongue 31B of circuit board body 18D, and connection electrode 45A currently formed in 2nd wiring substrate 17C by the 1st conductive member 32.

[0076]

On the other hand, up equipment section 11D in this example has the structure which carried out the laminating of semiconductor device 14E and semiconductor device 14F on 1st wiring substrate 16D. Adhesion immobilization of semiconductor device 14F is carried out by adhesives 45F by face up in the upper part of 1st wiring substrate 16D, and adhesion immobilization of the semiconductor device 14E is carried out by adhesives 45E by face up in this upper part of semiconductor device 14F.

[0077]

Wire connection of this semiconductor device 14E and the 1st wiring substrate 16D is made, and wire connection also of the semiconductor device 14F and 1st wiring substrate 16D is made. Thereby, each semiconductor devices 14E and 14F will be in the condition of having connected with 1st wiring substrate 16D electrically. In addition, interpauser board 13D is considered as the same configuration as the thing concerning the 4th example shown in drawing 4.

[0078]

Semiconductor device 10E which starts this example as described above is taken as the configuration which carried out the laminating of the two lower equipment sections 12A and 12C to the lower part of interpauser board 13D. By considering as this configuration, the further advanced features of semiconductor device 10E and multi-functionalization can be attained.

[0079]

Moreover, it is not limited to two-layer like this example, and the number of laminatings of the lower equipment section can also carry out a three or more layer laminating. The electrical installation between each lower equipment section in that case and the electrical installation of the lower equipment section and interpauser board 13D can select suitably flip-chip bonding, TAB connection, wire connection, etc., and they can be used for them. Moreover, in each lower equipment section, the semiconductor device carried in the 2nd wiring substrate can also be carried in any of the top face of the 2nd wiring substrate, an inferior surface of tongue, or both sides.

[0080]

In addition, although this example showed the example using a multilayer substrate with inner layer wiring as interpauser board 13D, it is also possible to use an one side wiring substrate as shown in each above mentioned example, or a double-sided wiring substrate.

[0081]

Next, the 6th example of this invention is explained.

Drawing 6 shows semiconductor device 10F which are the 6th example of this invention. Semiconductor device 10F concerning this example are characterized by carrying a passive component 40 on this circuit board body 18E while they use as a multilayer-interconnection substrate circuit board body 18E which constitutes interpauser board 13E.

[0082]

3rd conductive member 34C which interpauser board 13E consists of as inner layer wiring inside circuit board body 18E is formed. This 3rd conductive member 34C connects electrically the 1st conductive member 32 and the 2nd conductive member 33.

[0083]

Moreover, in this example, up equipment section 11E carried in this circuit board body 18E is considered as the configuration by which flip chip junction of semiconductor device 14G was carried out at 1st wiring substrate 16D.

[0084]

Furthermore, in this example, it considers as the configuration which carried the passive component 40 in the upper part of interpauser board 13E. This passive component 40 is small electronic parts represented by a chip capacitor, the chip resistor, etc. In this example, a passive component 40 is soldered to the upper part of interpauser board 13E.

[0085]

Since the multilayer-interconnection substrate is used for semiconductor device 10F considered as the above-mentioned configuration as interpauser board 13E, they can make higher-density 3rd conductive member 34C used as inner layer wiring.

[0086]

Moreover, since inner layer wiring (3rd conductive member 34C) is formed in the interior, interpauser board 13E has high rigidity compared with an one side wiring substrate or a double-sided wiring substrate. For this reason, it can control that the curvature and deformation by the temperature change occur to interpauser board 13E, and, therefore, the dependability of semiconductor device 10F can be raised to it.

[0087]

Moreover, since semiconductor device 10F concerning this example are considered as the configuration which carried the passive component 40 in interpauser board 13E, they are suitable for the high frequency device with which a predetermined electrical property is demanded.

[0088]

In addition, although this example showed the example using a multilayer substrate with inner layer wiring as interpauser board 13E, it is also possible to use an one side monolayer wiring substrate as shown in each above mentioned example, or a double-sided monolayer wiring substrate.

[0089]

Next, the 7th example of this invention is explained.

Drawing 7 shows semiconductor device 10G which are the 7th example of this invention. In semiconductor device 10F concerning the 6th example explained using drawing 6, with circuit board body 18E, the passive component 40 used as another components was prepared, and it considered as the configuration which solders this to interpauser board 13E.

[0090]

On the other hand, semiconductor device 10G concerning this example are characterized by forming the inductor section 41 and the capacitor section 42 which are a passive element in circuit board body 18F (interpauser board 13F) using inner layer wiring with 3rd conductive member 34C formed as inner layer wiring in interpauser board 13F multilayered.

[0091]

In addition, the approach of forming a passive element in the interior of a multilayer-interconnection

substrate also has the approach of forming so that passive element components besides the approach of forming as inner layer wiring may be laid under the interior of a multilayer-interconnection substrate like this example and it may connect as internal wiring.

[0092] According to semiconductor device 10G concerning this example, passive elements 41 and 42 are incorporable into interposer board 13F in one by having formed the inductor section 41 and the capacitor section 42 which are a passive element with inner layer wiring of circuit board body 18F which are a multilayer substrate. For this reason, while it becomes unnecessary to prepare and carry a passive element separately from circuit board body 18F and being able to reduce loading components mark, reduction-ization of a manufacturing cost can be attained.

[0093]

[Effect of the Invention]

According to this invention, the various effectiveness described below is realizable like \*\*\*\*.

[0094]

Since the array of an external connection terminal makes loading connection of the general-purpose semiconductor device section defined beforehand according to invention according to claim 1, the degree of freedom of a design improves and the laminating mold semiconductor device which has a system which functions combining two or more semiconductor devices can be realized easily. Thereby, it can respond to advanced features of a semiconductor device, and multi-functionalization.

[0095]

Moreover, by incorporating the general-purpose semiconductor device whose quality was guaranteed, since a trial process can be simplified, reduction of a manufacturing cost can be aimed at, and the manufacture yield can be raised.

[0096]

Moreover, according to invention according to claim 2, a laminated structure is realizable for simple and low cost by having constituted the 1st conductive member by the solder bump.

[0097]

Moreover, since only the height corresponding to the amount to which an external connection terminal enters in a through tube can approach the 1st semiconductor device section and the 3rd wiring substrate according to invention according to claim 3, thin shape-ization of a laminating mold semiconductor device can be attained.

[0098]

Moreover, according to invention according to claim 4, compared with the configuration which forms the 3rd conductive member only in one side, the 3rd conductive member can be formed by the more complicated pattern, and, therefore, the degree of freedom of a design of a semiconductor device improves. Moreover, since the rigidity of the 3rd wiring substrate can reduce the curvature of a substrate and generating of deformation by increase and the temperature change, the dependability of a semiconductor device can be raised.

[0099]

Moreover, according to claim 5 and invention according to claim 6, it becomes advantageous by advanced features of a semiconductor device, and multi-functionalization.

[0100]

Moreover, according to invention according to claim 7, a higher-density wiring substrate can be formed by using the 3rd wiring substrate as a multilayer-interconnection substrate. Moreover, since rigidity of a multilayer-interconnection substrate increases compared with an one side wiring substrate or a double-sided wiring substrate, it can reduce curvature and deformation of the substrate by the temperature change of the 3rd wiring substrate, and can raise the manufacture yield like an erector.

[0101]

Moreover, according to invention according to claim 8, since the passive element is prepared in the 3rd

wiring substrate, the semiconductor device suitable for the high frequency device with which a predetermined electrical property is demanded can be constituted.

[0102]

Moreover, according to invention according to claim 9, while it becomes unnecessary to prepare and carry a passive element separately from the 3rd wiring substrate and being able to reduce loading components mark, reduction-ization of a manufacturing cost can be attained.

[Brief Description of the Drawings]

[Drawing 1] It is the sectional view of the semiconductor device which is the 1st example of this invention.

[Drawing 2] It is the sectional view of the semiconductor device which is the 2nd example of this invention.

[Drawing 3] It is the sectional view of the semiconductor device which is the 3rd example of this invention.

[Drawing 4] It is the sectional view of the semiconductor device which is the 4th example of this invention.

[Drawing 5] It is the sectional view of the semiconductor device which is the 5th example of this invention.

[Drawing 6] It is the sectional view of the semiconductor device which is the 6th example of this invention.

[Drawing 7] It is the sectional view of the semiconductor device which is the 7th example of this invention.

[Description of Notations]

10A-10G Semiconductor device

11A-11E Up equipment section

12A-12D Lower equipment section

13A-13F Interpauser board

14A-14H, 15A-15E Semiconductor device

16A-16D 1st wiring substrate

17A-17C 2nd wiring substrate

18A-18E Circuit board body

22 External Connection Terminal

24A, 31A Top face

24B, 31B Inferior surface of tongue

26 Electrode for Connection

27 Electrode for Bump Junction

28 Lower Electrode

29 External Connection Terminal

32 1st Conductive Member

33 2nd Conductive Member

34A-34C 3rd conductive member

35, 35A, 35B Protective coat

36 Through Tube

37 Penetration Electrode

38A, 38B Bump for laminatings

39 Inner Layer Wiring

40 Passive Component

41 Inductor Section

42 Capacitor Section



[Translation done.]

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. \*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

---

**DESCRIPTION OF DRAWINGS**

---

**[Brief Description of the Drawings]**

[Drawing 1] It is the sectional view of the semiconductor device which is the 1st example of this invention.

[Drawing 2] It is the sectional view of the semiconductor device which is the 2nd example of this invention.

[Drawing 3] It is the sectional view of the semiconductor device which is the 3rd example of this invention.

[Drawing 4] It is the sectional view of the semiconductor device which is the 4th example of this invention.

[Drawing 5] It is the sectional view of the semiconductor device which is the 5th example of this invention.

[Drawing 6] It is the sectional view of the semiconductor device which is the 6th example of this invention.

[Drawing 7] It is the sectional view of the semiconductor device which is the 7th example of this invention.

**[Description of Notations]**

10A-10G Semiconductor device

11A-11E Up equipment section

12A-12D Lower equipment section

13A-13F Interpauser board

14A-14H, 15A-15E Semiconductor device

16A-16D 1st wiring substrate

17A-17C 2nd wiring substrate

18A-18E Circuit board body

22 External Connection Terminal

24A, 31A Top face

24B, 31B Inferior surface of tongue

26 Electrode for Connection

27 Electrode for Bump Junction

28 Lower Electrode

29 External Connection Terminal

32 1st Conductive Member

33 2nd Conductive Member  
34A-34C 3rd conductive member  
35, 35A, 35B Protective coat  
36 Through Tube  
37 Penetration Electrode  
38A, 38B Bump for laminatings  
39 Inner Layer Wiring  
40 Passive Component  
41 Inductor Section  
42 Capacitor Section  
44, 44A, 44B Opening  
45, 45E, 45F Adhesives

---

[Translation done.]

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-273938

(P2004-273938A)

(43) 公開日 平成16年9月30日(2004.9.30)

(51) Int.Cl.<sup>7</sup>

F1

テーマコード (参考)

H01L 25/10

H01L 25/14

Z

H01L 25/11

H01L 25/18

審査請求 有 請求項の数 9 O L (全 17 頁)

(21) 出願番号 特願2003-65392 (P2003-65392)  
(22) 出願日 平成15年3月11日 (2003.3.11)

(71) 出願人 000005223  
富士通株式会社  
神奈川県川崎市中原区上小田中4丁目1番  
1号  
(74) 代理人 100070150  
弁理士 伊東 忠彦  
(72) 発明者 西村 隆雄  
神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内  
(72) 発明者 合栗 和之  
神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内  
(72) 発明者 高島 晃  
神奈川県川崎市中原区上小田中4丁目1番  
1号 富士通株式会社内

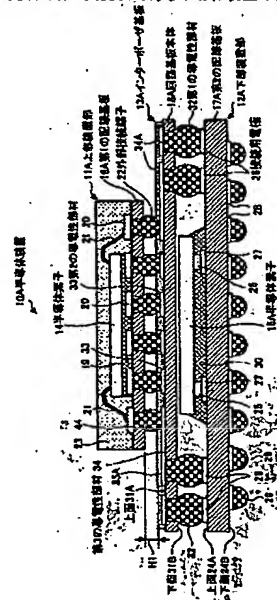
(54) 【発明の名称】 積層型半導体装置

(57). 【要約】

【課題】 本発明は複数の半導体装置部及び半導体素子を積層した三次元構造を有する積層型半導体装置に関し、汎用の半導体装置部（半導体装置）を積層可能とすることを課題とする。

【解決手段】 上部装置部11Aと下部装置部12Aとの間にインターポザ基板13Aを配設した構成とする。上部装置部11Aは、半導体素子14A、第1の配線基板16A、及び外部接続端子22とを有する。また、下部装置部12Aは、上部装置部11Aの下部に位置する第2の配線基板17A、半導体素子15A、及び第2の配線基板17Aの上面24Aに形成された接続用電極26を有する。また、インターポザ基板13Aは、第1の配線基板16Aと第2の配線基板17Aとの間に配設される回路基板本体18A、接続用電極26と接続する第1の導電性部材32、外部接続端子22の形成位置に対応して形成され外部接続端子22と電氣的に接続する第2の導電性部材33と、第1の導電性部材32と第2の導電性部材33を接続する第3の導電性部材34Aとを有

本発明の第1実施例である半導体装置の断面図



(2)

## 【特許請求の範囲】

## 【請求項1】

第1の配線基板と、該第1の配線基板に搭載された少なくとも一つの半導体素子と、外部接続用端子とを有する第1の半導体装置部と、  
前記第1の半導体装置部の下部に位置するよう配設された第2の配線基板と、該第2の配線基板に搭載された少なくとも一つの半導体素子と、前記第2の配線基板の前記第1の半導体装置部と対向する面に形成された接続用電極とを有する第2の半導体装置部と、  
前記第1の半導体装置部と前記第2の半導体装置部との間に配設される回路基板本体と、前記接続用電極と電氣的に接続する第1の導電性部材と、前記外部接続端子の形成位置に対応して形成されており該外部接続端子と電氣的に接続する第2の導電性部材と、前記第1の導電性部材と前記第2の導電性部材を接続する第3の導電性部材とを有する第3の配線基板と、  
を具備することを特徴とする積層型半導体装置。

## 【請求項2】

請求項1記載の積層型半導体装置において、  
前記第1の導電性部材を、前記回路基板本体を貫通して形成されると共に前記第3の導電性部材と接続された半田バンプにより構成したことを特徴とする積層型半導体装置。

## 【請求項3】

請求項1記載の積層型半導体装置において、  
前記第1の導電性部材を半田バンプにより構成すると共に、  
前記第2の導電性部材及び前記第3の導電性部材を、前記第3の配線基板の前記第2の半導体装置部と対向する面に形成し、  
かつ、前記外部接続端子を前記第3の配線基板に形成された貫通孔を介して前記第2の導電性部材と電氣的に接続したことを特徴とする積層型半導体装置。

## 【請求項4】

請求項1記載の積層型半導体装置において、  
前記第2の導電性部材及び前記第3の導電性部材を、前記第3の配線基板の前記第1の半導体装置部と対向する面と、前記第2の半導体装置部と対向する面との両面にそれぞれに形成すると共に、  
該両面に形成された第3の導電性部材を前記回路基板本体を貫通して形成された貫通電極で電氣的に接続した構成としたことを特徴とする積層型半導体装置。

## 【請求項5】

請求項1乃至4のいずれかに記載の積層型半導体装置において、  
前記第1の半導体装置部を複数積層した構造としたことを特徴とする積層型半導体装置。

## 【請求項6】

請求項1乃至5のいずれかに記載の積層型半導体装置において、  
前記第2の半導体装置部を複数積層した構造としたことを特徴とする積層型半導体装置。

## 【請求項7】

請求項1乃至6のいずれかに記載の積層型半導体装置において、  
前記第3の配線基板を多層配線基板としたことを特徴とする積層型半導体装置。

## 【請求項8】

請求項1乃至7のいずれかに記載の積層型半導体装置において、  
前記第3の配線基板に受動素子を設けたことを特徴とする積層型半導体装置。

## 【請求項9】

請求項8記載の積層型半導体装置において、  
前記第3の配線基板を多層配線基板とすると共に、  
前記受動素子を前記多層配線基板の内部に形成したことを特徴とする積層型半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

## (3)

本発明は積層型半導体装置に係り、特に複数の半導体装置部及び半導体素子を積層した三次元構造を有する積層型半導体装置に関する。

## 【0002】

近年の電子機器の発達に伴い、電子機器に使用される半導体装置には、小型化、薄型化、多機能化、高機能化、高密度化が益々要求されている。このような要求に対処すべく、半導体装置パッケージの構造は、複数の半導体装置部あるいは複数の半導体素子を積層した三次元構造に移行しつつある。

## 【0003】

## 【従来の技術】

従来、複数の半導体装置部（半導体素子単体、或いは半導体素子をパッケージングした構成のものをいう）を積層した三次元構造を有した半導体装置として、例えば特許文献1または特許文献2に開示されたものがある。特許文献1には、外部端子としてリードフレームを用いたQFP（クワッド・フラット・パッケージ）型パッケージが開示されている。この半導体装置は、リードフレームのインナーリード部を変形させて凸部を形成することでパッケージ上部に端子を設け、そのパッケージの上部に、上下面に端子を持つ積層配線基板をはんだバンプで接続する構成とされている。

## 【0004】

また、特許文献2には、半導体素子をモールド封止した半導体装置部を多段に積層した構造の半導体装置が開示されている。この半導体装置は、モールド封止された半導体装置部のモールド封止部に貫通配線を形成して、パッケージの上部に端子を設け、そのパッケージの上部に、上下面に端子を持つ再配線基板を半田ボールにより接続する構成とされている。

## 【0005】

## 【特許文献1】

特開平06-252334号公報（第3-7頁、第1図）

## 【0006】

## 【特許文献2】

特開2002-158312号公報（第3-7頁、第1図）

## 【0007】

## 【発明が解決しようとする課題】

しかしながら、特許文献1に開示された半導体装置は、下部に配設される半導体装置部は複数個多段積層できず、またリードフレームを変形してパッケージ上部に端子を形成する必要があるため、製造工程が多く、そのため製造コストが高くなってしまいう問題点があった。

## 【0008】

また、特許文献2に開示された半導体装置は、個々の半導体装置部がモールドされているために薄型化が困難であり、また貫通配線を形成するために要する製造工程が多いため、製造コストが高くなるという問題点がある。

## 【0009】

また、特許文献1、2に開示されたような複数の半導体装置部を積層して三次元構造とした半導体装置においては、各半導体装置部の外部接続端子の配列を予め積層可能なように設定しておく必要がある。この場合、それぞれの半導体装置部を新規に設計・製造・試験をした後に積層して一体化するよりも、良品と保証された汎用の半導体装置を入手し、これを半導体装置部として積層した方が、試験工程における設備・人件費を削減できることで、トータルコストで安くなる場合がある。しかしながら、各半導体装置部の外部接続端子の配列が、汎用の半導体装置を積層可能なようには設定されていないという問題点があった。

## 【0010】

本発明は上記の点に鑑みてなされたものであり、汎用の半導体装置部（半導体装置）を積層可能とした積層型半導体装置を提供することを目的とする。

(4)

## 【0011】

## 【課題を解決するための手段】

上記の課題を解決するために本発明では、次に述べる各手段を講じたことを特徴とするものである。

## 【0012】

請求項1記載の発明に係る積層型半導体装置は、

第1の配線基板と、該第1の配線基板に搭載された少なくとも一つの半導体素子と、外部接続用端子とを有する第1の半導体装置部と、

前記第1の半導体装置部の下部に位置するよう配設された第2の配線基板と、該第2の配線基板に搭載された少なくとも一つの半導体素子と、前記第2の配線基板の前記第1の半導体装置部と対向する面に形成された接続用電極とを有する第2の半導体装置部と、

前記第1の半導体装置部と前記第2の半導体装置部との間に配設される回路基板本体と、前記接続用電極と電氣的に接続する第1の導電性部材と、前記外部接続端子の形成位置に対応して形成されており該外部接続端子と電氣的に接続する第2の導電性部材と、前記第1の導電性部材と前記第2の導電性部材を接続する第3の導電性部材とを有する第3の配線基板とを具備することを特徴とするものである。

## 【0013】

上記発明によれば、外部接続端子と電氣的に接続する第2の導電性部材は、外部接続端子の形成位置に対応して形成され、他に第2の導電性部材の形成位置を規制するものはない。このため、外部接続端子の配列が予め定められている汎用の半導体装置部を用いることが可能となる。また、第3の配線基板上における第2の導電性部材及び第3の導電性部材のレイアウトの自由度が向上するため、積層型半導体装置が容易に実現でき、これにより半導体装置の高機能化、多機能化に対応することができる。

## 【0014】

また、一般に複数の半導体装置部（半導体素子）を有する半導体装置においては、半導体装置の組立後に試験をすると、個々の半導体素子の歩留が累積された歩留となる。しかしながら、本請求項の発明に係る半導体装置は、汎用の半導体装置、換言すれば予め良品である品質保証がされた半導体装置を半導体装置部として搭載するため、半導体装置全体の製造歩留を向上させることができる。

## 【0015】

また、請求項2記載の発明は、

請求項1記載の積層型半導体装置において、

前記第1の導電性部材を、前記回路基板本体を貫通して形成されると共に前記第3の導電性部材と接続された半田バンプにより構成したことを特徴とするものである。

## 【0016】

上記発明によれば、第1の導電性部材を半田バンプにより構成したことにより、簡易かつ低コストに積層構造を実現することができる。

## 【0017】

また、請求項3記載の発明は、

請求項1記載の積層型半導体装置において、

前記第1の導電性部材を半田バンプにより構成すると共に、

前記第2の導電性部材及び前記第3の導電性部材を、前記第3の配線基板の前記第2の半導体装置部と対向する面に形成し、

かつ、前記外部接続端子を前記第3の配線基板に形成された貫通孔を介して前記第2の導電性部材と電氣的に接続したことを特徴とするものである。

## 【0018】

上記発明によれば、外部接続端子を第2の導電性部材に接続する際、外部接続端子は第3の配線基板に形成された貫通孔を介して第2の導電性部材と電氣的に接続される。このため、外部接続端子が貫通孔内に入り込む量に対応する高さだけ第1の半導体装置部と第3の配線基板とを近接でき、よって積層型半導体装置の薄型化を図ることができる。

## 【0019】

また、請求項4記載の発明は、

請求項1記載の積層型半導体装置において、

前記第2の導電性部材及び前記第3の導電性部材を、前記第3の配線基板の前記第1の半導体装置部と対向する面と、前記第2の半導体装置部と対向する面との両面にそれぞれに形成すると共に、  
該両面に形成された第3の導電性部材を前記回路基板本体を貫通して形成された貫通電極で電気的に接続した構成としたことを特徴とするものである。

## 【0020】

上記発明によれば、第3の導電性部材を第3の配線基板の両面にそれぞれに形成することにより、片面のみに第3の導電性部材を形成する構成に比べ、第3の導電性部材をより複雑なパターンで形成でき、よって半導体装置の設計の自由度が向上する。

## 【0021】

また、第3の配線基板の両面に第2の導電性部材及び第3の導電性部材が形成されることにより、第3の配線基板の剛性が増し、温度変化による基板の反りや変形の発生を低減できる。これにより、半導体装置の信頼性を向上させることができる。

## 【0022】

また、請求項5記載の発明は、

請求項1乃至4のいずれかに記載の積層型半導体装置において、

前記第1の半導体装置部を複数積層した構造としたことを特徴とするものである。

## 【0023】

上記発明によれば、第1の半導体装置部が複数積層された構造となるため、半導体装置の高機能化、多機能化により有利となる。

## 【0024】

また、請求項6記載の発明は、

請求項1乃至5のいずれかに記載の積層型半導体装置において、

前記第2の半導体装置部を複数積層した構造としたことを特徴とするものである。

## 【0025】

上記発明によれば、第2の半導体装置部が複数積層された構造となるため、半導体装置の高機能化、多機能化により有利となる。

## 【0026】

また、請求項7記載の発明は、

請求項1乃至6のいずれかに記載の積層型半導体装置において、

前記第3の配線基板を多層配線基板としたことを特徴とするものである。

## 【0027】

上記発明によれば、第3の配線基板を多層配線基板とすることにより、より高密度な配線基板を形成できる。また、多層配線基板は片面配線基板或いは両面配線基板に比べて剛性が増すため、第3の配線基板の温度変化による基板の反り・変形を低減でき、組立工程での製造歩留を向上させることができる。

## 【0028】

また、請求項8記載の発明は、

請求項1乃至7のいずれかに記載の積層型半導体装置において、

前記第3の配線基板に受動素子を設けたことを特徴とするものである。

## 【0029】

上記発明によれば、第3の配線基板に受動素子を設けているため、所定の電気特性が要求される高周波デバイスに適した半導体装置を構成できる。

## 【0030】

また、請求項9記載の発明は、

請求項8記載の積層型半導体装置において、

前記第3の配線基板を多層配線基板とすると共に、

(6)

前記受動素子を前記多層配線基板の内部に形成したことを特徴とするものである。

【0031】

上記発明によれば、受動素子を多層配線基板の内部に形成したことにより、受動素子は第3の配線基板に一体的に組み込まれた状態となる。このため、第3の配線基板と別個に受動素子を用意し搭載する必要がなくなり、搭載部品点数を削減できると共に製造コストの低減化を図ることができる。

【0032】

【発明の実施の形態】

次に、本発明の実施の形態について図面と共に説明する。

【0033】

図1は、本発明の第1実施例である積層型半導体装置10A（以下、単に半導体装置という）を示している。半導体装置10Aは、大略すると上部半導体装置部11A（以下、上部装置部という）、下部半導体装置部12A（以下、下部装置部という）、及びインターポーザ基板13A（請求項記載の第3の配線基板に相当する）等により構成されている。

【0034】

上部装置部11Aは、一般に市販されている汎用の半導体装置である。よって、上部装置部11Aは、製造メーカーによって予め良品と保証されたものを用いる。

【0035】

この上部装置部11AはBGA（Ball Grid Array）タイプの半導体装置であり、第1の配線基板16Aの上面に半導体素子14Aが搭載されると共に、第1の配線基板16Aの下面には外部接続端子22が配設されている。この外部接続端子22は、半田ボールにより形成されている。

【0036】

本実施例では、半導体素子14Aは第1の配線基板16A上にフェイスアップで固定されている。また、第1の配線基板16Aには電極パッド20が形成されており、半導体素子14Aと電極パッド20はワイヤ21により接続されている。

【0037】

また、前記した外部接続端子22は第1の配線基板16Aに形成された貫通孔を介して電極パッド20に接続されている。よって、半導体素子14Aはワイヤ21及び電極パッド20を介して外部接続端子22に電氣的に接続されている。また、第1の配線基板16Aの上部全体には封止樹脂23が形成されており、半導体素子14A、ワイヤ21等を保護している。

【0038】

下部装置部12Aは、大略すると半導体素子15A、第2の配線基板17A、及び外部接続端子29等により構成されている。

半導体素子15Aは、第2の配線基板17Aにフリップチップ接合により搭載されている。即ち、半導体素子15Aの回路面にある電極部（図示せず）にはバンプ25が予め形成されており、このバンプ25を第2の配線基板17Aの上面24Aに形成されたバンプ接合用電極27に接合することにより、半導体素子15Aは第2の配線基板17Aに電氣的に接続される。また、バンプ25とバンプ接合用電極27との接合部分の強度を高めるため、半導体素子15Aと第2の配線基板17Aの間にはアンダーフィル樹脂30が配設されている。

【0039】

第2の配線基板17Aは、上部装置部11Aの下部に位置するように配設されている。即ち、下部装置部12Aは、上部装置部11Aの下部に配設された構成とされている。

【0040】

この第2の配線基板17Aは、その下面24Bに複数の下部電極28が形成されており、この下部電極28には外部接続端子29が接合されている。この外部接続端子29は、半導体装置10Aを実装基板に実装する際、実装基板に接合されるものである。また、外部接続端子29が接合される下部電極28は、第2の配線基板17Aに内設された内層配線



(7)

(図示せず)により bumps 接合用電極 27 或いは接続用電極 26 に接続されている。

**【0041】**

接続用電極 26 は、後述するようにインターポーザ基板 13A の第 1 の導電性部材 32 が接合される電極であり、第 2 の配線基板 17A の上面 24A に形成されている。また、その配設位置は、半導体素子 15A の搭載位置を避けて形成されている。

**【0042】**

インターポーザ基板 13A は、大略すると回路基板本体 18A、第 1 の導電性部材 32、第 2 の導電性部材 33、及び第 3 の導電性部材 34A 等により構成されている。

回路基板本体 18A は、前記した上部装置部 11A と下部装置部 12A との間に配設されている。従って、インターポーザ基板 13A は上部装置部 11A と下部装置部 12A との間に配設された構成とされている。この回路基板本体 18A は、ガラス-エポキシ或いはガラス-BT (ビスマレイミド・トリアジン) 製の片面配線基板であり、本実施例では上面 31A に第 2 の導電性部材 33 による電極部及び第 3 の導電性部材 34A による配線部が形成された構成とされている。

**【0043】**

第 1 の導電性部材 32 は半田 bumps であり、インターポーザ基板 13A に形成された貫通孔を介して第 3 の導電性部材 34A に接続されている。この第 1 の導電性部材 32 は、下部装置部 12A とインターポーザ基板 13A とを電気的に接続する機能を奏するものである。このように、下部装置部 12A とインターポーザ基板 13A とを電気的に接続するのに半田 bumps よりなる第 1 の導電性部材 32 を用いることにより、第 1 の導電性部材 32 を簡易かつ低コストに形成でき、かつ下部装置部 12A とインターポーザ基板 13A の積層処理を容易に実現することができる。

**【0044】**

また、回路基板本体 18A の上面 31A には、第 2 の導電性部材 33 及び第 3 の導電性部材 34A が形成されている。この各導電性部材 33、34A は、銅をプリント配線した構成とされている。また、この各導電性部材 33、34A は、回路基板本体 18A の上面 31A に形成された保護膜 35A により保護されている。この保護膜 35A は、上部装置部 11A の外部接続端子 22 に対応する位置に開口部 44 が形成されている。

**【0045】**

第 2 の導電性部材 33 は、前述した上部装置部 11A の外部接続端子 22 が接合される。また、第 3 の導電性部材 34A は、第 1 の導電性部材 32 と第 2 の導電性部材 33 を電気的に接続する配線として機能する。

**【0046】**

従って、上部装置部 11A の外部接続端子 22 と、下部装置部 12A の接続用電極 26 は、第 1 の導電性部材 32、第 2 の導電性部材 33、及び第 3 の導電性部材 34A を介して電気的に接続された構成となる。これにより、上部装置部 11A と下部装置部 12A はインターポーザ基板 13A を中間に介して積層された半導体装置 10A を構成し、かつインターポーザ基板 13A は上部装置部 11A と下部装置部 12A を電気的に接続するインターポーザとして機能する。

**【0047】**

上記構成とされた半導体装置 10A は、第 2 の導電性部材 33 は上部装置部 11A の外部接続端子 22 の形成位置に対応して形成され、他に第 2 の導電性部材 33 の形成位置を規制するものはない。このため、回路基板本体 18A の上面 31A において、第 2 の導電性部材 33 を外部接続端子 22 の配列に合わせて形成することが可能となる。このため、外部接続端子 22 の配列が予め定められている、汎用の半導体装置を上部装置部 11A として用いることが可能となる。

**【0048】**

前記したように、一般に複数の半導体装置部 (半導体素子) を有する半導体装置においては、半導体装置の組立後に試験をすると、個々の半導体素子の歩留が累積された歩留となる。しかしながら、本実施例の半導体装置 10A は、汎用の半導体装置、換言すれば予め

(8)

良品である品質保証がされた半導体装置を半導体装置部11Aとして搭載するため、半導体装置10A全体としての製造歩留を向上させることができる。

**【0049】**

また、本実施例に係る半導体装置10Aでは、上記のように第2の導電性部材33を半導体装置部11Aに合わせて形成できることにより設計の自由度を高めることができるが、合わせて回路基板本体18Aの上面31Aに形成される第3の導電性部材34Aについても設計の自由度を高めることもできる。これにより、積層型であることにより複雑となる配線構造を単純化することが可能となり、半導体装置10Aの設計を容易に実現でき、これにより半導体装置10Aの高機能化、多機能化に対応することができる。

**【0050】**

尚、図示していないが、各基板間16A、17A、13Aの電氣的接続部以外の部分であって、対向する間隙部に接着材を介在させて接着固定するような構造とすることも可能である（本実施例では、半導体素子15Aの非回路面（上面）と回路基板本体18Aとの間隙等がこれに対応する）。また、以下説明する各実施例においても同様である。

**【0051】**

次に、本発明の第2実施例について説明する。

図2は、本発明の第2実施例である半導体装置10Bを示している。尚、第2実施例の説明、及びその後の各実施例の説明において用いる図3乃至図7において、図1に示した構成と対応する構成については同一符号を付してその説明を省略するものとする。

**【0052】**

本実施例に係る半導体装置10Bは、上部装置部11A及び下部装置部12Aは、前記した第1実施例に係る半導体装置10Aと同一構成とされている。しかしながら、第1実施例に係るインターポーザ基板13Aは、第2の導電性部材33及び第3の導電性部材34Aが回路基板本体18Aの上面31Aに形成されていたのに対し、本実施例では回路基板本体18Bの下面31Bに第2の導電性部材33及び第3の導電性部材34Bを形成したことを特徴とするものである。

**【0053】**

回路基板本体18Bの下面31Bは、下部装置部12Aと対向する側の面である。よって、本実施例に係る半導体装置10Bは、第2の導電性部材33及び第3の導電性部材34を、回路基板本体18Bの下部装置部12Aと対向する面に形成した構成としている。

**【0054】**

また、回路基板本体18Bの下面31Bに形成された第2の導電性部材33及び第3の導電性部材34Bは、回路基板本体18Bの下面31Bに形成された保護膜35Bにより保護されている。また、下部装置部12Aの接続用電極26に対応する位置において、保護膜35Bには、開口部44Bが形成されている。この開口部44Bにおいて、第1の導電性部材32と第3の導電性部材34Bとは接続されている。

**【0055】**

また、上部装置部11Aの外部接続端子22は、インターポーザ基板13Bの第2の導電性部材33に接続する必要がある。このため、回路基板本体18Bの上部装置部11Aの外部接続端子22の形成位置と対応する位置には貫通孔36が形成されており、外部接続端子22はこの貫通孔36を介して第2の導電性部材33に電氣的に接続された構成とされている。

**【0056】**

具体的には、外部接続端子22は前記したように半田ボールであるため、上部装置部11Aをインターポーザ基板13Bに搭載する際に実施される加熱処理により外部接続端子22は溶融し、貫通孔36内に進入する。よって、外部接続端子22は貫通孔36を介して第2の導電性部材33に電氣的に接続される。

**【0057】**

このように、本実施例に係る半導体装置10Bは、外部接続端子22の一部が回路基板本体18Bに形成された貫通孔36内に入り込んだ状態となる。このため、外部接続端子2

(9)

2が貫通孔36内に入り込む量に対応する高さ分だけ、上部装置部11Aとインターポーザ基板13Bとを近接することが可能となる。

**【0058】**

具体的には、第1実施例に係る半導体装置10Aでは、図1に示すように上部装置部11Aとインターポーザ基板13Aとの離間距離H1必要であったものを、本実施例に係る半導体装置10Bによれば、図2に矢印示すように外部接続端子22が貫通孔36に入り込むことにより、上部装置部11Aとインターポーザ基板13Bの離間距離H2を小さくすることができる( $H2 < H1$ )。これにより、第1実施例の半導体装置10Aに比べ、本実施例に係る半導体装置10Aは薄型化を図ることができる。

**【0059】**

次に、本発明の第3実施例について説明する。

図3は、本発明の第3実施例である半導体装置10Cを示している。本実施例に係る半導体装置10Cも、上部装置部11A及び下部装置部12Aは前記した第1実施例に係る半導体装置10Aと同一構成とされている。しかしながら、第1及び第2実施例に係るインターポーザ基板13A、13Bは、第3の導電性部材34A、34Bを回路基板本体18Aの上面31A或いは下面31Bのいずれか片面にのみに形成していた。

**【0060】**

これに対して本実施例では、インターポーザ基板13Cの上面31A及び下面31Bの双方に第3の導電性部材34A、34Bを形成したことを特徴とするものである。具体的には、回路基板本体18Cの上面31Aに、外部接続端子22と接合される第2の導電性部材33と第3の導電性部材34Aとを形成し、回路基板本体18Cの下面31Bに第3の導電性部材34Bを形成した構成としている。尚、各第3の導電性部材34A、34B上には保護膜35A、35Bが形成されており、各第3の導電性部材34A、34Bを保護している。

**【0061】**

また、上部装置部11Aの外部接続用端子22に対応する位置において、保護膜35Aには、開口部44Aが形成されている。また、下部装置部12Aの接続用電極26に対応する位置において、保護膜35Bには、開口部44Bが形成されている。

**【0062】**

また、回路基板本体18Cの上面31Aに形成された第3の導電性部材34Aと、下面31Bに形成された第3の導電性部材34Bは、回路基板本体18Cを貫通して形成された貫通電極37により電氣的に接続された構成とされている。この貫通電極37は、回路基板本体18Cに貫通孔を形成した後、この貫通孔に銅を充填することにより形成されたビア構造とされている。

**【0063】**

上記した本実施例に係る半導体装置10Cによれば、インターポーザ基板13Cが回路基板本体18Cの両面にそれぞれに第3の導電性部材34A、34Bを形成した構成であるため、片面のみに第3の導電性部材を形成する構成に比べ、第3の導電性部材34A、34Bをより複雑なパターンで形成でき、よって半導体装置10Cの設計の自由度を向上させることができる。また、この第3の導電性部材34A、34Bが補強材として機能することにより、インターポーザ基板13Cの剛性が増し、温度変化による基板の反りや変形の発生を低減できる。これにより、製造時には製造歩留を向上させることができると共に、完成後は半導体装置10Cの信頼性を高めることができる。

**【0064】**

次に、本発明の第4実施例について説明する。

図4は、本発明の第4実施例である半導体装置10Dを示している。本実施例に係る半導体装置10Dは、インターポーザ基板13D上に複数の上部装置部11B、11Cを積層配置したことを特徴とするものである。

**【0065】**

最上部に位置する上部装置部11Bは、半導体素子14B、半導体素子14Cを第1の配

(10)

線基板16B上に積層した構造を有している。半導体素子14Cは第1の配線基板16Bにフリップチップ接合され、半導体素子14Bはこの半導体素子14C上にフェイスアップで接着剤45により接着固定されている。また、半導体素子14Bと第1の配線基板16Bは、ワイヤ接続された構成とされている。更に、第1の配線基板16Bの下面(上部装置部11Cと対向する面)には、接続電極44Aが形成されている。

【0066】

上部装置部11Cは、上記した上部装置部11Bの下部に配設されている。この上部装置部11Cは、第1の配線基板16Cに半導体素子14Dをフリップチップ接合した構成とされている。また、第1の配線基板16Cのインターポーザ基板13Dと対向する位置には、外部接続端子22が形成されている。更に、第1の配線基板16Cの上面(上部装置部11Bと対向する面)には、接続電極44Bが形成されている。

【0067】

上記構成とされた上部装置部11Bと上部装置部11Cは、上部装置部11Bの第1の配線基板16Bに形成されている接続電極44Aと、上部装置部11Cの第1の配線基板16Cに形成されている接続電極44Bとを積層用バンプ38Aで接続することにより、電氣的に接続された構成とされている。

【0068】

一方、下部装置部12Bは、本実施例では2個の半導体素子15B、15Cを搭載した構成としている。各半導体素子15B、15Cはバンプ25が形成されており、第2の配線基板17Bに形成されたバンプ接合用電極27にフリップチップ接合されている。

【0069】

インターポーザ基板13Dは、上面31Aに第2の導電性部材33及び第3の導電性部材34Aが形成されており、下面31Bに第1の導電性部材32が接合される第3の導電性部材34Bを形成している。この第3の導電性部材34Aと第3の導電性部材34Bは、回路基板本体18D内に形成されたビアにより電氣的に接続された構成とされている。

【0070】

上記したように本実施例に係る半導体装置10Dは、2個の上部装置部11B、11Cをインターポーザ基板13D上に積層した構成としている。この構成とすることにより、半導体装置10Dの更なる高機能化、多機能化を図ることができる。

【0071】

また、上部装置部の積層数は、本実施例のように2層に限定されるものではなく、3層以上積層することも可能である。その場合の各上部装置部間の電氣的接続、及び上部装置部とインターポーザ基板13Dの電氣的接続は、フリップチップ接続、TAB接続、ワイヤ接続等を適宜選定して用いることができる。また、各上部装置部において、第1の配線基板に搭載される半導体素子は、第1の配線基板の上面または下面、或いは両面のいずれに搭載することも可能である。

【0072】

次に、本発明の第5実施例について説明する。

図5は、本発明の第5実施例である半導体装置10Eを示している。本実施例に係る半導体装置10Eは、インターポーザ基板13Dの下部に複数の下部装置部12A、12Cを積層配置したことを特徴とするものである。

【0073】

最下部に位置する下部装置部12Aは、図1に示した第1実施例に係る半導体装置10Aに設けられているものと同様の構成とされている。下部装置部12Cは、この下部装置部12Aの上部に積層されている。

【0074】

下部装置部12Cは、第2の配線基板17Cの上面に半導体素子15Dがフリップチップ接合されると共に、下面にも半導体素子15Eがフリップチップ接合された構成とされている。これにより、半導体素子15D、15Eの実装密度の向上を図っている。また、第2の配線基板17Cの上面には接続電極45Aが形成されており、また下面には接続電極

(11)

4.5 Bが形成されている。

【0075】

下部装置部12 Aと下部装置部12 Cは、第2の配線基板17 Aに形成された接続用電極26と第2の配線基板17 Cに形成された接続電極45 Bを積層用パンプ38 Bで接続することにより電氣的に接続された構成とされている。また、インターポーザ基板13 Dと下部装置部12 Cは、回路基板本体18 Dの下面31 Bに形成されている第3の導電性部材34 Bと、第2の配線基板17 Cに形成されている接続電極45 Aを第1の導電性部材32で接続することにより電氣的に接続された構成とされている。

【0076】

一方、本実施例における上部装置部11 Dは、半導体素子14 E、半導体素子14 Fを第1の配線基板16 D上に積層した構造を有している。半導体素子14 Fは第1の配線基板16 Dの上部にフェイスアップで接着剤45 Fにより接着固定され、半導体素子14 Eはこの半導体素子14 Fの上部にフェイスアップで接着剤45 Eにより接着固定されている。

【0077】

この半導体素子14 Eと第1の配線基板16 Dはワイヤ接続されており、また半導体素子14 Fと第1の配線基板16 Dもワイヤ接続されている。これにより、各半導体素子14 E、14 Fは、第1の配線基板16 Dと電氣的に接続された状態となる。尚、インターポーザ基板13 Dは、図4に示した第4実施例に係るものと同一構成とされている。

【0078】

上記したように本実施例に係る半導体装置10 Eは、2個の下部装置部12 A、12 Cをインターポーザ基板13 Dの下部に積層した構成としている。この構成とすることにより、半導体装置10 Eの更なる高機能化、多機能化を図ることができる。

【0079】

また、下部装置部の積層数は、本実施例のように2層に限定されるものではなく、3層以上積層することも可能である。その場合の各下部装置部間の電氣的接続、及び下部装置部とインターポーザ基板13 Dの電氣的接続は、フリップチップ接続、TAB接続、ワイヤ接続等を適宜選定して用いることができる。また、各下部装置部において、第2の配線基板に搭載される半導体素子は、第2の配線基板の上面または下面、或いは両面のいずれに搭載することも可能である。

【0080】

尚、本実施例ではインターポーザ基板13 Dとして内層配線を有した多層基板を用いた例を示したが、前記した各実施例で示したような片面配線基板、或いは両面配線基板を用いることも可能である。

【0081】

次に、本発明の第6実施例について説明する。

図6は、本発明の第6実施例である半導体装置10 Fを示している。本実施例に係る半導体装置10 Fは、インターポーザ基板13 Eを構成する回路基板本体18 Eを多層配線基板とすると共に、この回路基板本体18 E上に受動部品40を搭載したことを特徴とするものである。

【0082】

インターポーザ基板13 Eは、回路基板本体18 Eの内部に内層配線として構成される第3の導電性部材34 Cが形成されている。この第3の導電性部材34 Cは、第1の導電性部材32と第2の導電性部材33とを電氣的に接続する。

【0083】

また本実施例では、この回路基板本体18 Eに搭載される上部装置部11 Eは、第1の配線基板16 Dに半導体素子14 Gがフリップチップ接合された構成とされている。

【0084】

更に、本実施例では、インターポーザ基板13 Eの上部に、受動部品40を搭載した構成とされている。この受動部品40は、例えばチップコンデンサ、チップ抵抗等に代表され

(12)

る小型電子部品である。本実施例においては、受動部品40は、インターポーザ基板13Eの上部に半田付けされる。

**【0085】**

上記構成とされた半導体装置10Fは、インターポーザ基板13Eとして多層配線基板を用いているため、内層配線となる第3の導電性部材34Cをより高密度とすることができる。

**【0086】**

また、インターポーザ基板13Eは、内部に内層配線（第3の導電性部材34C）が形成されているため、片面配線基板或いは両面配線基板に比べて剛性が高い。このため、インターポーザ基板13Eに温度変化による反りや変形が発生することを抑制でき、よって半導体装置10Fの信頼性を高めることができる。

**【0087】**

また、本実施例に係る半導体装置10Fは、インターポーザ基板13Eに受動部品40を搭載した構成とされているため、所定の電気特性が要求される高周波デバイスに適している。

**【0088】**

尚、本実施例ではインターポーザ基板13Eとして内層配線を有した多層基板を用いた例を示したが、前記した各実施例で示したような片面単層配線基板、或いは両面単層配線基板を用いることも可能である。

**【0089】**

次に、本発明の第7実施例について説明する。

図7は、本発明の第7実施例である半導体装置10Gを示している。図6を用いて説明した第6実施例に係る半導体装置10Fでは、回路基板本体18Eとは別部品とされた受動部品40を用意し、これをインターポーザ基板13Eに半田付けする構成とした。

**【0090】**

これに対して本実施例に係る半導体装置10Gは、多層化されたインターポーザ基板13F内に内層配線として形成される第3の導電性部材34Cと共に、内層配線を利用して受動素子であるインダクタ部41及びコンデンサ部42を回路基板本体18F（インターポーザ基板13F）内に形成したことを特徴とするものである。

**【0091】**

尚、受動素子を多層配線基板の内部に形成する方法は、本実施例のように、内層配線として形成する方法の他、受動素子部品を多層配線基板の内部に埋設して内部配線として接続するように形成する方法もある。

**【0092】**

本実施例に係る半導体装置10Gによれば、受動素子であるインダクタ部41及びコンデンサ部42を多層基板である回路基板本体18Fの内層配線により形成したことにより、受動素子41、42をインターポーザ基板13Fに一体的に組み込むことができる。このため、回路基板本体18Fと別個に受動素子を用意し搭載する必要がなくなり、搭載部品点数を削減できると共に製造コストの低減化を図ることができる。

**【0093】****【発明の効果】**

上述の如く本発明によれば、次に述べる種々の効果を実現することができる。

**【0094】**

請求項1記載の発明によれば、外部接続端子の配列が予め定められている汎用の半導体装置部を積載接続できるため、設計の自由度が向上し、複数の半導体装置を組み合わせるようなシステムを有する積層型半導体装置が容易に実現できる。これにより、半導体装置の高機能化、多機能化に対応することができる。

**【0095】**

また、品質保証された汎用の半導体装置を組み込むことによって、試験工程を簡略化できるので製造コストの低減を図れ、製造歩留りを向上させることができる。

(13)

## 【0096】

また、請求項2記載の発明によれば、第1の導電性部材を半田バンプにより構成したことにより、簡易かつ低コストに積層構造を実現することができる。

## 【0097】

また、請求項3記載の発明によれば、外部接続端子が貫通孔内に入り込む量に対応する高さだけ第1の半導体装置部と第3の配線基板を近接できるため、積層型半導体装置の薄型化を図ることができる。

## 【0098】

また、請求項4記載の発明によれば、片面のみに第3の導電性部材を形成する構成に比べ、第3の導電性部材をより複雑なパターンで形成でき、よって半導体装置の設計の自由度が向上する。また、第3の配線基板の剛性が増し、温度変化による基板の反りや変形の発生を低減できるため、半導体装置の信頼性を向上させることができる。

## 【0099】

また、請求項5及び請求項6記載の発明によれば、半導体装置の高機能化、多機能化により有利となる。

## 【0100】

また、請求項7記載の発明によれば、第3の配線基板を多層配線基板とすることにより、より高密度な配線基板を形成できる。また、多層配線基板は片面配線基板或いは両面配線基板に比べて剛性が増すため、第3の配線基板の温度変化による基板の反り・変形を低減でき、組立工程での製造歩留を向上させることができる。

## 【0101】

また、請求項8記載の発明によれば、第3の配線基板に受動素子を設けているため、所定の電気特性が要求される高周波デバイスに適した半導体装置を構成できる。

## 【0102】

また、請求項9記載の発明によれば、第3の配線基板と別個に受動素子を用意し搭載する必要がなくなり、搭載部品点数を削減できると共に製造コストの低減化を図ることができる。

## 【図面の簡単な説明】

【図1】本発明の第1実施例である半導体装置の断面図である。

【図2】本発明の第2実施例である半導体装置の断面図である。

【図3】本発明の第3実施例である半導体装置の断面図である。

【図4】本発明の第4実施例である半導体装置の断面図である。

【図5】本発明の第5実施例である半導体装置の断面図である。

【図6】本発明の第6実施例である半導体装置の断面図である。

【図7】本発明の第7実施例である半導体装置の断面図である。

## 【符号の説明】

10A～10G 半導体装置

11A～11E 上部装置部

12A～12D 下部装置部

13A～13F インターポーザ基板

14A～14H、15A～15E 半導体素子

16A～16D 第1の配線基板

17A～17C 第2の配線基板

18A～18E 回路基板本体

22 外部接続端子

24A、31A 上面

24B、31B 下面

26 接続用電極

27 バンプ接合用電極

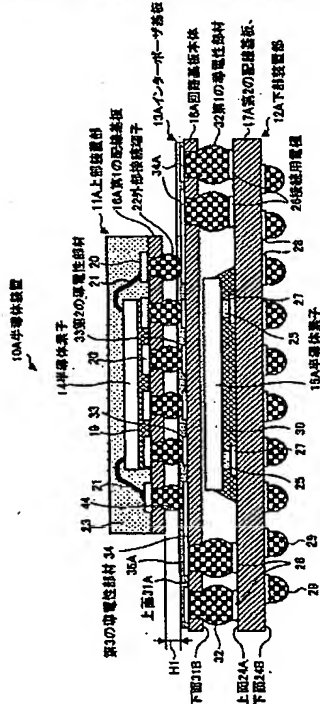
28 下部電極

(14)

- 29 外部接続端子
- 32 第1の導電性部材
- 33 第2の導電性部材
- 34A～34C 第3の導電性部材
- 35, 35A, 35B 保護膜
- 36 貫通孔
- 37 貫通電極
- 38A, 38B 積層用バンブ
- 39 内層配線
- 40 受動部品
- 41 インダクタ部
- 42 コンデンサ部
- 44, 44A, 44B 開口部
- 45, 45E, 45F 接着剤

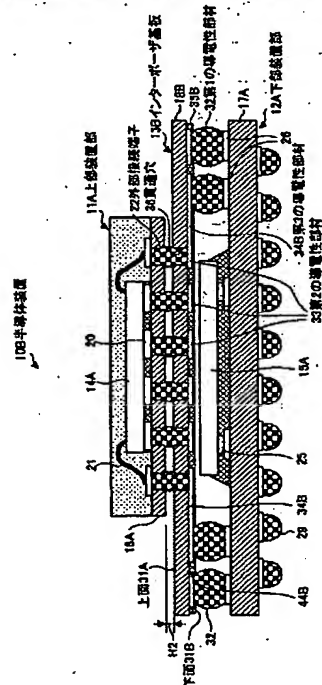
【図1】

本発明の第1実施例である半導体装置の断面図



【図2】

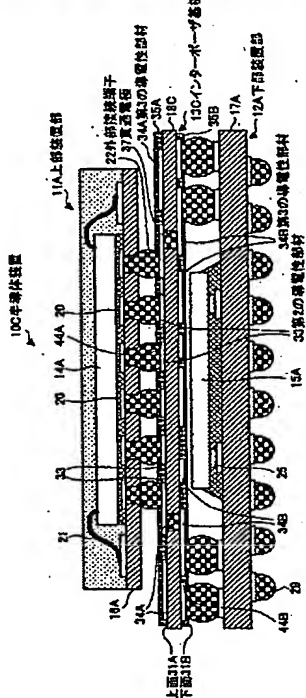
本発明の第2実施例である半導体装置の断面図





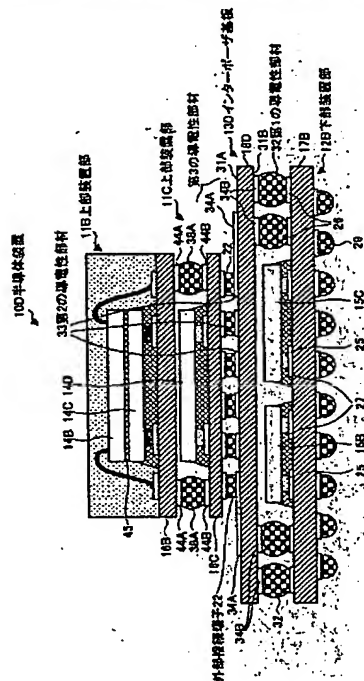
【図3】

本発明の第3実施例である半導体装置の断面図



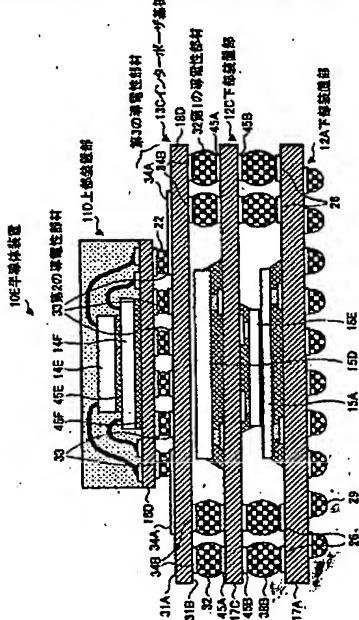
【図4】

本発明の第4実施例である半導体装置の断面図



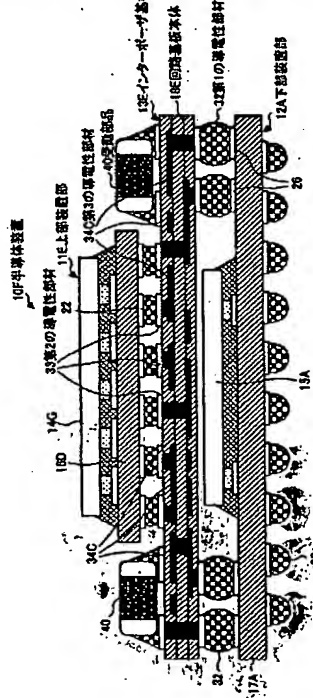
【図5】

本発明の第5実施例である半導体装置の断面図



【図6】

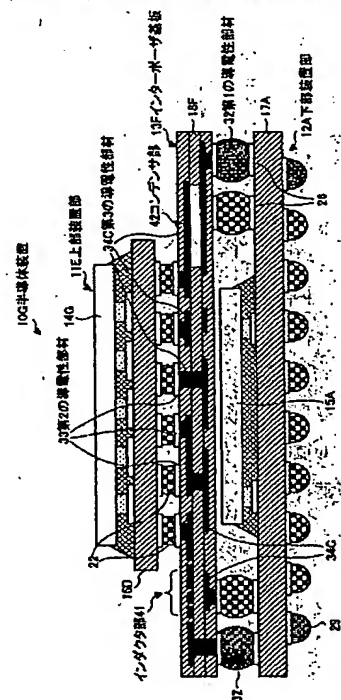
本発明の第6実施例である半導体装置の断面図



(16)

【図7】

本発明の第7実施例である半導体装置の断面図



フロントページの続き

【要約の続き】

【選択図】 図1

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**